

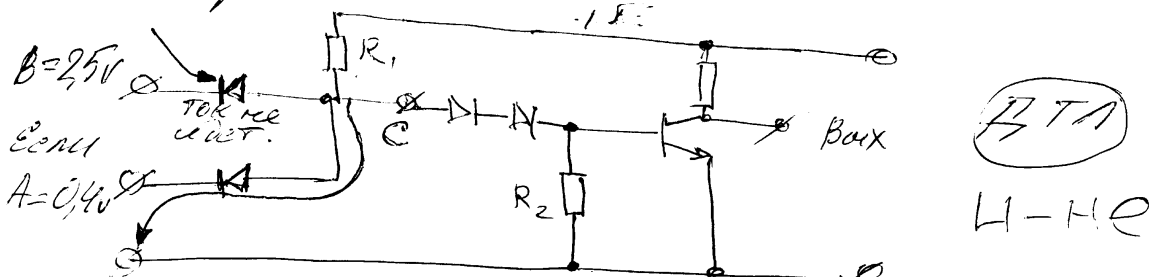
В электронике логические операции выполняются логическими элементами: чтобы не возникало дальнейшей путаницы сразу оговоримся, что мы будем иметь дело в основном с элементами ТТЛ логики, а где мы введем ее в соответствие; при напряжении питания 5В.

Уровень $< 0,4 \div 0,5$ В - логично или "0"

Уровень $> 2,4 \div 2,5$ В - истинно или "1"

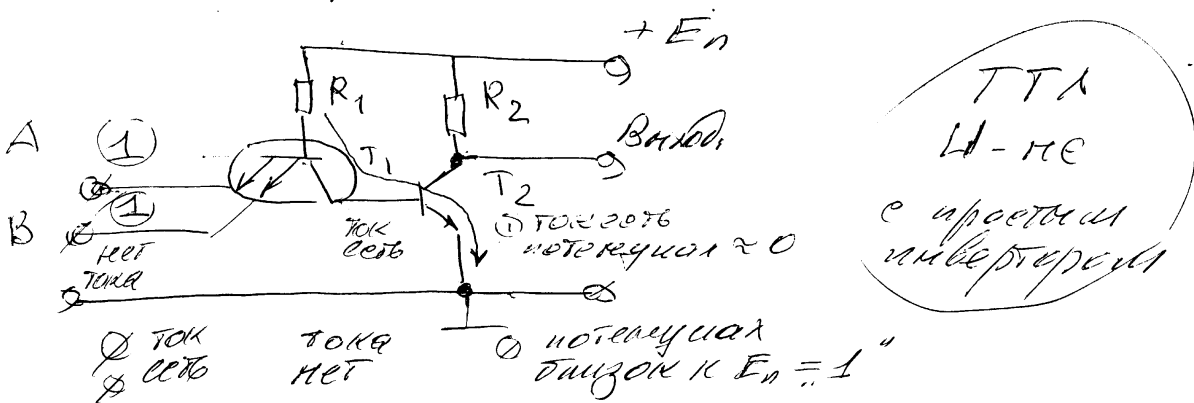
(используемая логика, а можно договориться наоборот и будет отрицат.)

Рассмотрим за-т Ч:



Ток пойдет если на оба входа подать 2,5В

В ТТЛ-логике используются для этой цели многоэмиттерные транзисторы: (это просто)



На практике для повышения быстродействия и увеличения нагрузочной способности строят более схемотехнически сложные элементы, но логика работы остается неизменной, поэтому, абстрагируясь от внутренней схемы, удобно изображать их в виде соответствующих логических элементов:

"Риски" при применении элементов за-т Ч-НЕ на многоканальных линиях и многоканальных линиях

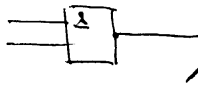
лекция №

1. лог. цифр. схема со структ. комбинационного типа
1) физическом смысле основных
аксиом и законов алгебры логики.

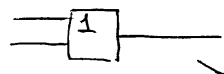
1.

Алгебра логики (логика буле, булева логика) оперирует с логическими выражениями, включающими функции и логические переменные, принимающие лишь 2 значения (0, 1) (истинно и ложно). Это — специальные выражения, отражающие действительность. Булевы А. В. соответствуют 3 базовые операции:

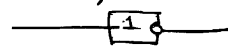
Операция И
логическое умножение
конъюнкция "·"



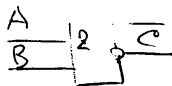
Операция ИЛИ
логическое сложение
дизъюнкция "+"



Операция НЕ
логическое отрицание
инверсия "-"



Таким образом, упомянутый выше элемент И-НЕ это универсальный логический элемент



матрица
Шерффера

		И-НЕ		И
A	B	A	B	
0	0	1	1	0
0	1	1	0	1
1	0	0	1	1
1	1	0	0	1
		ИЛИ		ИЛИ-НЕ



Сфера
Буфера

Если в схеме проинвертировать все входные сигналы и выходной, реализуемая схемой логическая функция изменится на взаимно симметричную.

Теорема Де Моргана или закон двойственности при применении при любом числе аргументов и симметрирует глубокую взаимную симметричную операций И и ИЛИ.

И — избирательно реализуется на соединении прямых сигналов

ИЛИ — на совпадение инверсий

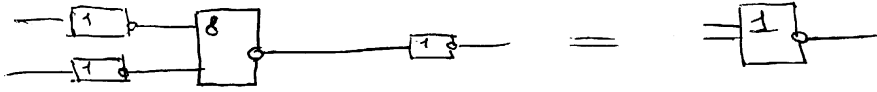
ИЛИ-НЕ — прообразы те любого сигнала

И — для любой инверсии. Таким образом, свойства логических элементов, это от "природы".

Итак, прочтение Т. Де-Моргана: Если в произвольной схеме построенной на эл-тах И, ИЛИ, НЕ
а) проинвертировать входные сигналы
б) проинвертировать выходные сигналы
в) заменить И на ИЛИ, и ИЛИ на И
то реализуемая схемой логическая функция не изменится.

$$A + B = \overline{\overline{A} \cdot \overline{B}}; \quad \overline{A \cdot B} = \overline{A} + \overline{B}$$

Физическая: 1. Аксиомы аксиом-логики — бездоказательны, как св-ва векторов. 2. И наоборот:

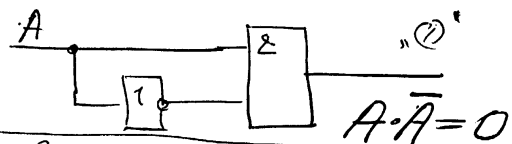
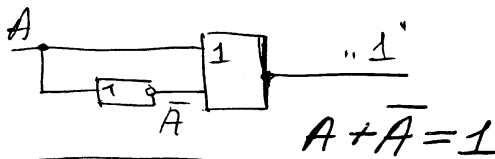


На основе неотъемлемых физических св-в элементов записываются формальные аксиомы или тождества алгебры логики:

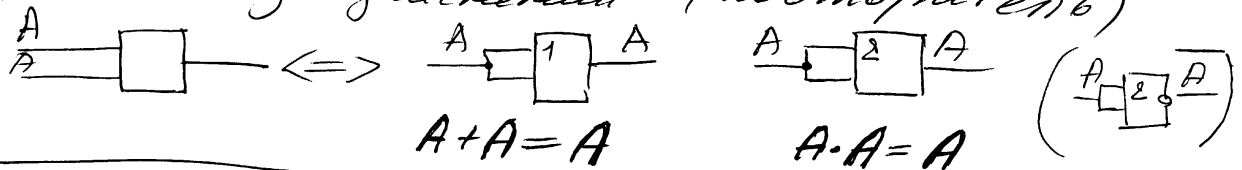
Св-ва вектиной; Вектиной И
 прозывает по 1 и не прозывает по 0
 $1 \cdot A = A$; $0 \cdot A = 0$

Вектиной ИЛИ прозывает по 0 и не прозывает по 1
 $0 + A = A$; $1 + A = 1$

При подаче на вход вектины противоположных (противоположных) сигналов на выходе ИЛИ будет 1, на выходе И — 0

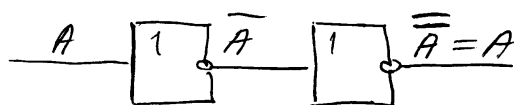


Элементы И и ИЛИ не являются инверторами; или сигнал, подаваемый на оба входа, проходит на выход без изменений (повторитель)



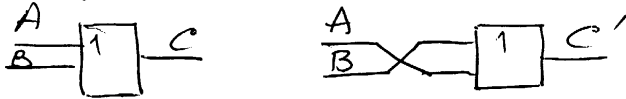
Отрицание отрицания:
 инверсия инвертированной переменной равна самой переменной

$$\bar{\bar{A}} = A$$

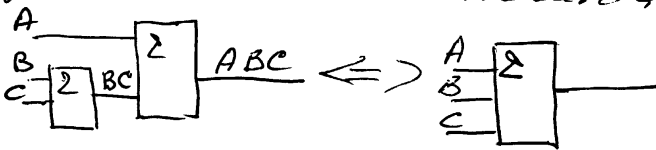


Рассмотрим основные законы:

Закон коммутативности $A + B = B + A$
 утверждает равноправие входов отдельного элемента;



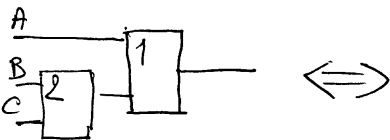
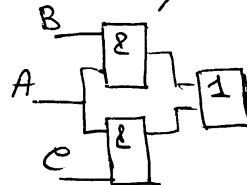
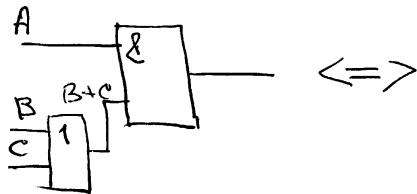
Закон ассоциативности $A + B + C = A + (B + C)$
 позволяет наращивать число входов логического элемента



* не путать с И-НЕ тогда ситуация сложнее

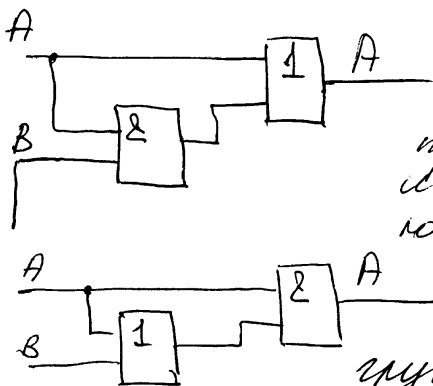
Закон дистрибутивности: $A(B + C) = (AB) + (AC)$

разрешить прохождение сумм $A + (B \cdot C) = (A + B) \cdot (A + C)$
 равносильно разрешить прохождение обеих слагаемых на сумматор.



можно применить Тв. де Моргана

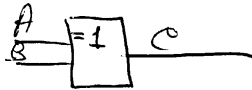
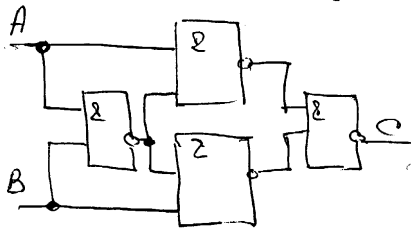
Закон поглощения: $A + A \cdot B = A$
 $A(A + B) = A$



Элемент ИЛИ сумматор прозрачен для предок сигнала - не зависимо от управляющего сигнала (B) сигнала.

Все законы подчеркивают глубокую логическую универсальность элементов И и ИЛИ.

Рассмотрим практический пример:
(здесь даём выражение "комбинационного" типа).



$$C = \overline{(A \cdot B)} \cdot (B \cdot \overline{A}) =$$

$$= A \cdot \overline{A} \cdot B + B \cdot A \cdot \overline{B} = \overline{A} \cdot B + A \cdot \overline{B}$$

$$= (\overline{A} + B) \cdot (A + \overline{B}) = (\overline{A} + B) \cdot A + (\overline{A} + B) \cdot \overline{B} =$$

$$= \overline{A} \cdot A + \overline{A} \cdot \overline{B} + B \cdot A + B \cdot \overline{B} = \overline{A} \cdot \overline{B} + B \cdot A$$

Исключительное ИЛИ (неравнозначность, сумматор по М2) XOR
(арифметическая сумма в пределах одного разряда.)

A	B	C
0	0	0
0	1	1
1	0	1
1	1	0

— "что-то, но не всё" exclusive OR
 $A \neq B ; C = 1$
 $A = B ; C = 0$

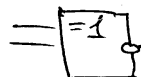
перенос. Свойство: при инвертировании одного из аргументов функции инвертируется:

$$\overline{a} \oplus b = a \oplus \overline{b} = \overline{a \oplus b}$$

и превращается в функцию равнозначности (исключающее ИЛИ-НЕ)

A	B	C
0	0	1
0	1	0
1	0	0
1	1	1

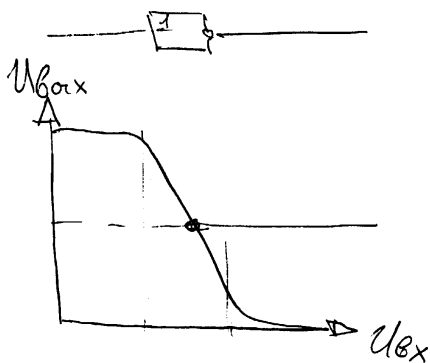
$A \neq B ; C = 0$ "только всё" XOR
 $A = B ; C = 1$



$$\overline{A \oplus B} = A \cdot B + \overline{A} \cdot \overline{B}$$

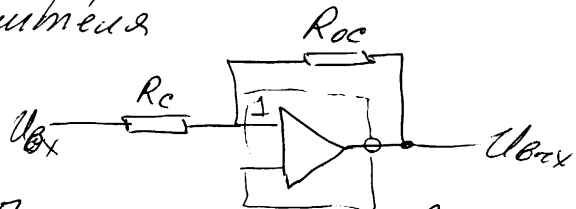
Обе рассмотренные функции позволяют использовать свой элемент как управляющий инвертор в зависимости от сигнала на втором входе. При этом следует учитывать полярность или рабочее значение управляющего сигнала при выборе элемента.

Автосегментирующие схемы на логических элементах.



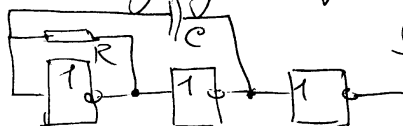
Ивертор обладает свойством переходной характеристики в виде усилителя.

Ивертор, включенный по схеме усилителя



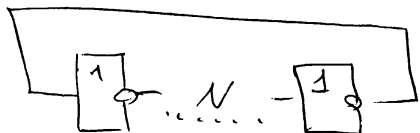
КМОП - элементы, включенные по схеме усилителя с ОС работают в таком качестве, поскольку имеют компараторной выходной характеристикой

Чтобы обеспечить возникновение и существование устойчивых автоколебаний, следует ввести с помощью внешних элементов в цепь инвертирующий участок нелинейной характеристики и ввести положительную ОС с помощью частотозадающего элемента (обычно конденсатор).

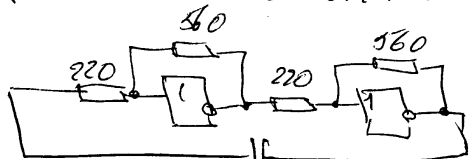


Пульсировибраторы:

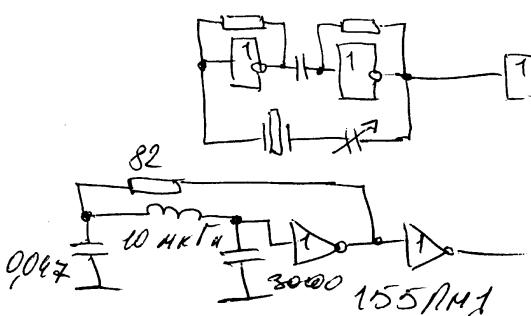
период следования импульсов в данной цепи приблизительно определяется $T \approx RC$ где $R = 0.2k$ для ТТЛ и 3-4 входных токов. Ч КМОП - и выше.



задержка на N-элементах цепи должна быть меньше периода.



В качестве стабильного источника сигнала можно использовать кварцевый генератор.

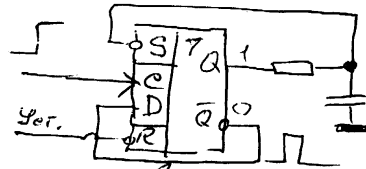
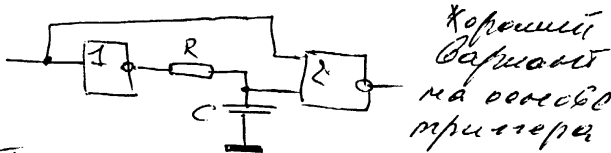


Можно применить простую цепь, но учитывать низкое входное сопротивление эл-та.

Осциллятор - или генератор импульсов (автогенератор) формирует единичный импульс $\sim T = RC$

1

Хорошая природа сигнала
уменьшения
соединяться
со стабилизатором
Одновибратор - многостабильный мультивибратор.



В.С. Туттманов "Интегральная электроника в измерительных устройствах" для студентов ВУЗов а не для "дворников - радиослюбовителей" стр. 159 рис. 5.10.

Схема с исп. триггера тактируемого фронтами обеспечивает хорошее качество фронтов формируемого сигнала.

Исходя из того, что в интегральном исполнении в интегральном исполнении доминирующей входной логики в виде готовых микросхем 155АТ1 155АТ3, и в таком исполнении требуется использование времязадающей цепи по методу Шерера С (встроенной резистор).

"Конструирование одновибраторов на вентиляторе 4 КС-элементов представляет собой сложную задачу, требующую учета многих параметров микропроцессора, в их конкретном исполнении и т.д. В реальных устройствах предпочтительно использовать готовые одновибраторы в интегральном исполнении".

"Основы микроэлектроники" позволяют нам рассматривать любые (даже простые) схемы с точки зрения освоения принципов их функционирования и формирования наборов элементов схемы. В данном случае рассмотрена схема "автоколебательное устройство" времязадающая цепь

"Для задания точных регулируемых в широком диапазоне интервалов времени применяются специальные интегральные устройства - таймеры (time - время), функционирующие в виде отдельных микросхем (КР1008 ВМ1) с внеш. цепями. В более широком плане схемотехника одновибраторов разнообразна и можно их рассмотреть вместе с помощью отрезков монтажных плат, все зависит от требуемой температурной и временной стабильности (как правило 10%) и их всех приводит не буду. А что касается КС-генератора на инверторе, то А.А. Семенов его уникальной стабильности и точности не обещал."

Лекция Типа выходных каскадов, схемотехника ④
логических элементов, универсальной
характер логической ЭЛЭ 2И-НЕ

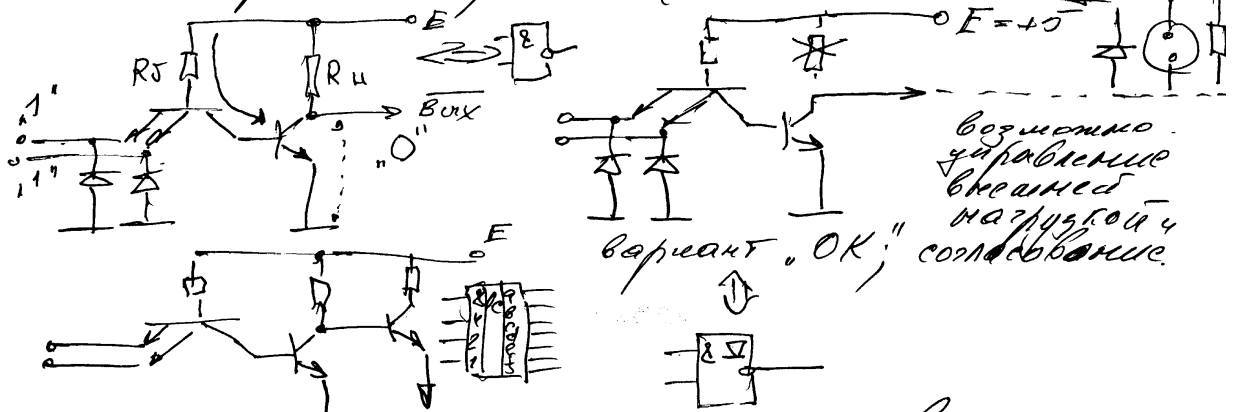
Рассматривая логический базис, состоящий из
след. ф-ций:

"И" — "ИЛИ" — "НЕ" —

мы не рассматривали их внутр. структуру,
хотя отметили, что отсутствующий в базисном
наборе элемент 2И-НЕ является наиболее техно-
логичным в интегральном исполнении.

Рассмотрим его схемотехнику:

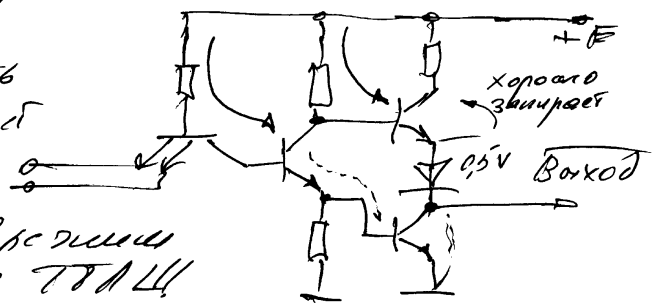
1) Самый простой вариант: (ТТЛ-логика)



Вариант ЭП — обычно применяется в децифра-
торах работающих на светодиодную
матрицу в микросхемах.

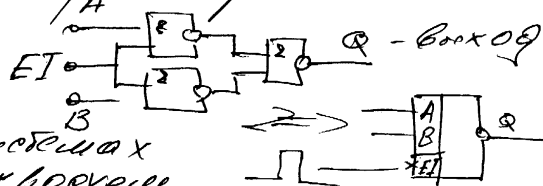
Нагрузочная способность с КН в многократности
цели не оправдана для "И" и "ИЛИ", поэтому бо-
лее распространен вариант со сложными ин-
верторами на выходе.

Из-за того, чтобы повысить
быстродействие в такой
схеме применяют
транзисторы с БЩ
потребляя на входе в режим
напряжения. Серия ТТЛЦ



В статных системах, построенных по принципу
синхронных, возбуждающие нарушения временных
параметров, схемы логических элементов делю-
ируют вводя разрешающие сигналы на
вход и выход.

Разрешение по входу - аналогично решению применяемому при построении синхронного триггера. (2)
"Enable input"

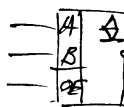


В микропроцессорных системах большое количество микросхем используют одни и те же соединительные проводники, формирующие шину. В этом случае не возникает взаимных помех, вводит решение по входу "Output Enable" - OE.

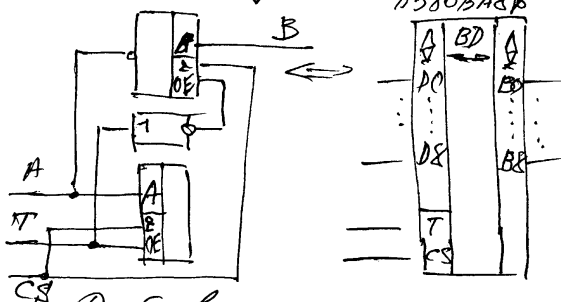


Вот и сейчас, вводя в схему элемент дополнительной инверсии, ввернув рубрику, возможно перевести в выключенное состояние оба выходных транзистора, при этом выход Q оста-

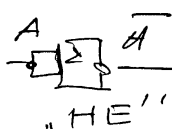
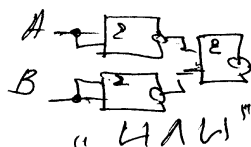
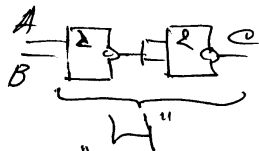
ется как бы "висящим в воздухе". Такой светящийся выход называется выходом с инверсией Z - состоянием или 3-м состоянием (неактивное) соединительной шины используются



для переключения сигнала как в прямом, так и в обратном направлении. Также, всякий построения шина является выходящей, а именно, для согласования с шинами других элементов с малой нагрузочной способностью применяют шинные драйверы - элементы с большим выходным сопротивлением, с 3-м состоянием.

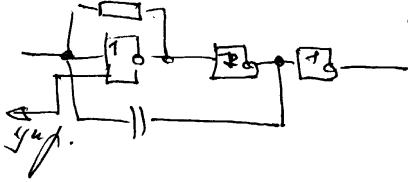


Действительно, согласно закону Ома, следует отметить, что самый характерный признак этого элемента И-НЕ для простоты схематической и технологической реализации, входящей в состав большинства логических элементов.



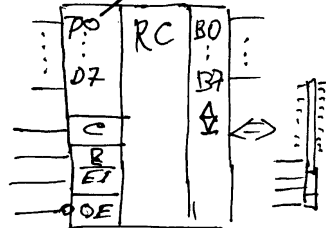
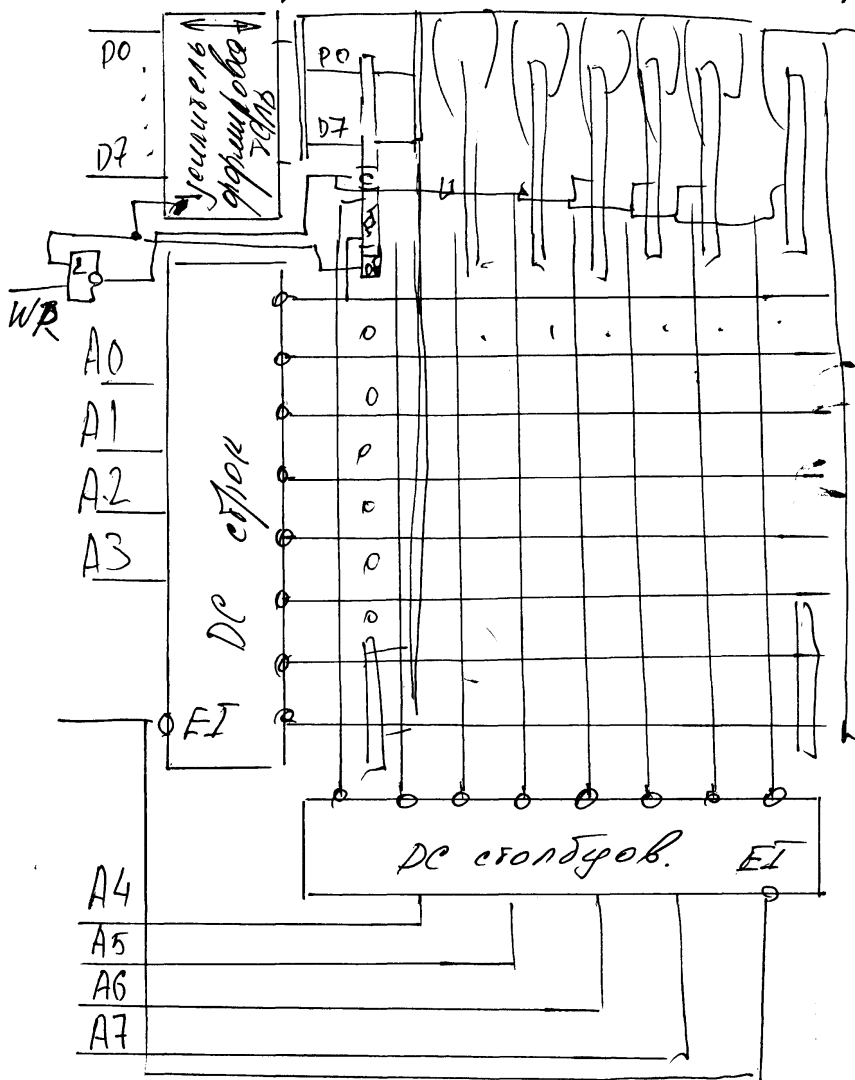
Все основные элементы базиса могут быть реализованы на двухвходовом инверторе. Рассматривая внутр. структуру лог. элемента, можно отметить его сходство с усилителем. И действительно он = инверт. усилитель с большим к-том.

В генераторных схемах используется эта особенность (3) для выполнения условий самовозбуждения необходимо создать комбинированную цепочку с большим K_u для возможности его стабилизации и ввести обратную связь для выполнения фазовых соотношений.



Такой же результат может быть достигнут при закорачивании длинной цепочки из-за задержек распространения.

Рассмотрим построение элементов памяти, необходимых для построения МП-систем: цепь в основе построения цепей статической элемент памяти на 8-разрядном регистре с входами управления EI и OE :



В силу того, что входы и выходы микроа не работают одновременно их можно соединить, поскольку выходы с Z-сбл. Все OE - выходы образуют сигнал "Чтение". Все EI - сигнал "С" - выбор кристалла. Все сигналы "C" образуют строки "Записи" "WP".

Реквизит №

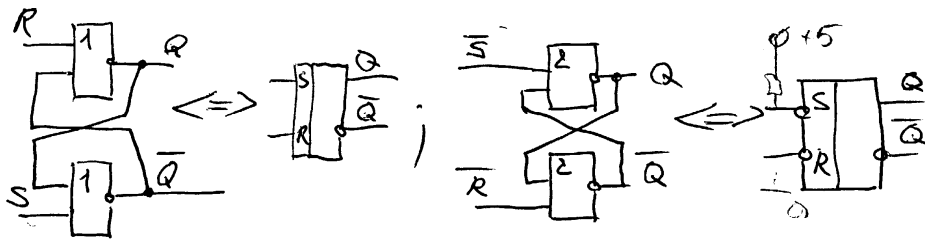
Рассмотренные ранее компьютерные экраны относи-
лись к клавиш (пальц) комбинационным. Это
элементы и, или, но и более сложные на их осно-
ве.

(*** Помощный элемент - электронное устройство, реализующее одну из помеховых функций.)

* Состояние выходов комбинационной схем в некоторый момент времени однозначно определяется комбинацией сигналов на ее входах в тот же момент времени.

|| Существуют также второй большой класс схем, носящий название последовательностных схем. В них состояние выходов зависит еще и от состояния входов в предыдущие моменты времени. На основе последовательностной логики строятся схемные времязадающие и запущенно-устройства.

Одно из таких устройств известно из практики — RS-триггер.



Показать
как пра-
тически
получают
"0" и "1"
ДЗЛ

Триггер - поперечная скелета с положительной обратной связью, имеющая два устойчивых состояния. (бистабильная ячейка)

Перевод триггера в дежигное состояние путём воздействия на его вход называют сбросом (set) триггера. В зависимости от активного уровня сигнала сбрасывают S или \bar{S} .

Перевод триггера в нулевое состояние называют сбросом или гашением (reset), а соответствующий вход в зависимости от активного уровня сигнала обозначают $R(\bar{R})$.

Фиттер способен сохранять устойчивое состояние столько угодно долго — "запоминает" входной сигнал.

RS- асинхронный триггер имеет недостатки: (2)

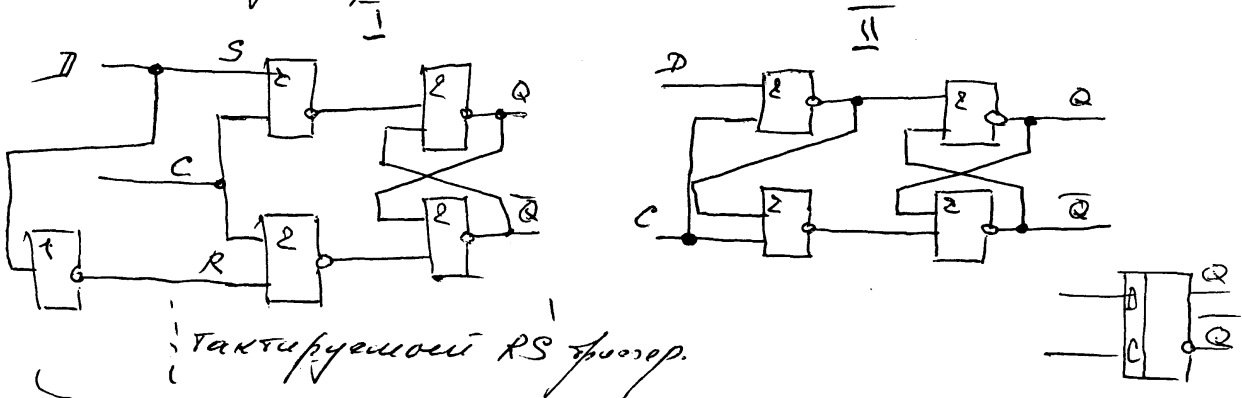
а) Воздействие на триггер возможно лишь по раздельности R и S входами, т.к. вторичное воздействие не влияет на установленный уже вход.

б) Существует запрещенная комбинация входов при которой нарушается алгоритм работы схемы.

в) Выходы триггера являются его же входами и помехи входа воспринимаются триггером как входной сигнал.

2) входы триггера из-за неадекватного соединения с источниками R и S сигналов имеют нежелательные записывающую информацию из-за малых переходных процессов.

Способы усовершенствования:

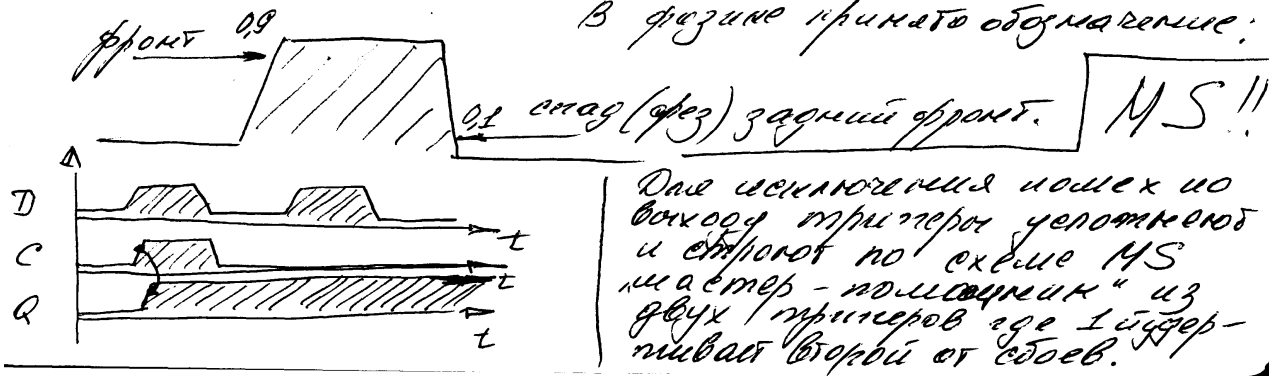


тактируемый D-триггер. (Data-триггер.)

D-триггер имеет один информационный вход D. Носят так-же названия "защелка", "прозрачный фиксатор", синхронный фиксатор.

D-триггер принимает состояние на входе D по приходу фронта C-сигнала. C=защелка.

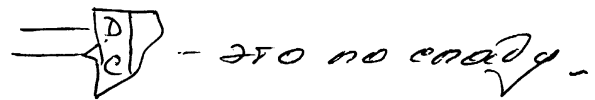
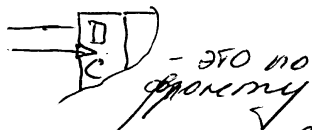
В фазе принятого обозначения:



Существуют так-же триггеры со сложной логикой и обратными связями, называемые JK-триггерами. JK-триггер является универсальным на его основе можно построить триггер любого типа. (Подробно не рассматриваем).

Благодаря сложной логике триггеры могут быть в статическом и динамическом управлении.

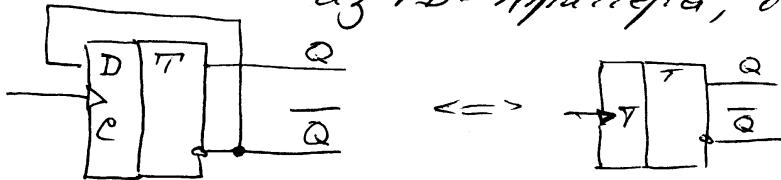
У первых "прозрачных" ^{прозрачных} триггеров происходит посылка $C=1$ а у вторых во время ^{непрозрачных} или среза динамические входы имеют специальное обозначение:



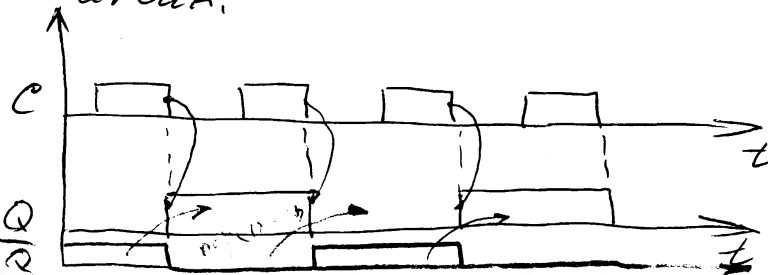
возможны варианты ^{возможно} отсчета ^{любого} обозначения, в этом случае - действовать из общих соображений и принципов работы помехоустойчивой схемы или обратиться к справоч. материалам.

!!! Принципы построения и синтеза счетчиков.

Счетный T-триггер, можно создать из D-триггера, отдельно в интегральных сериях его нет.

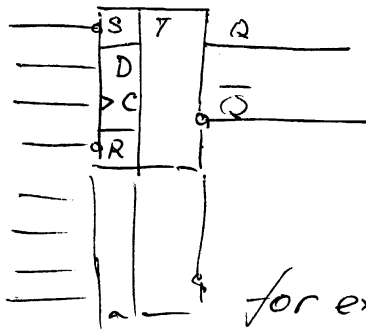


Информация на выходе T триггера меняется знак на противоположный при каждом положительном (отрицательном) перепаде входного сигнала. Т.е. по перепаду входного сигнала T-триггер переключается на выход Q своего же инвертированного выхода \bar{Q} . T-триггер делит частоту входного сигнала на 2 и может работать как делитель и двоичный счетчик.

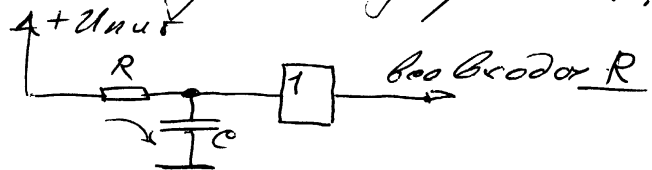


Дополнительные асинхронные вход-триггеры (4).

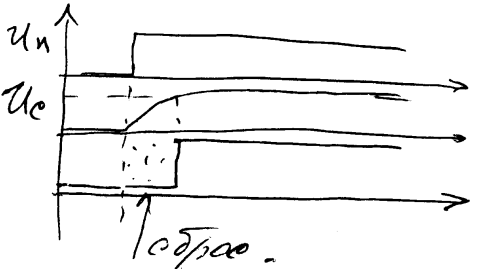
При включении питания триггеры должны устанавливаться в произвольное состояние, это может случиться причиной сбоев в их работе. Во избежание подобной ситуации предлагается иметь дополнительные вход-триггеры позволяющие принудительно устанавливать их в определённое состояние. Путём изменения логич. нуля получаем:



Дополнительные входы позволяют осуществлять начальную установку всего устройства:

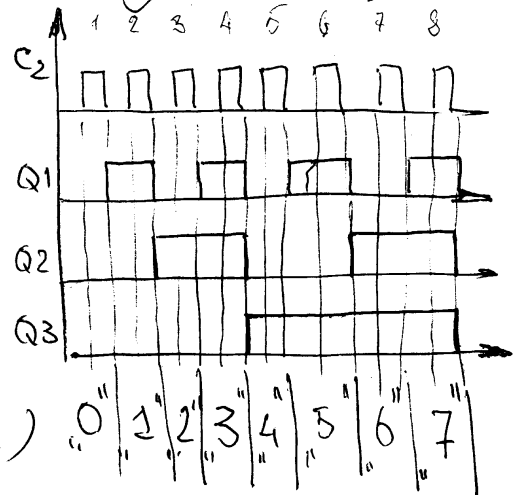
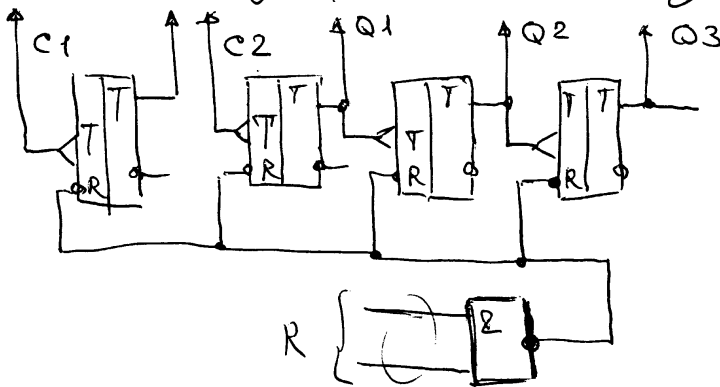


for ex: 155 TM2
пример в часах при смене
элемента питания уст. ее
В.О.О.



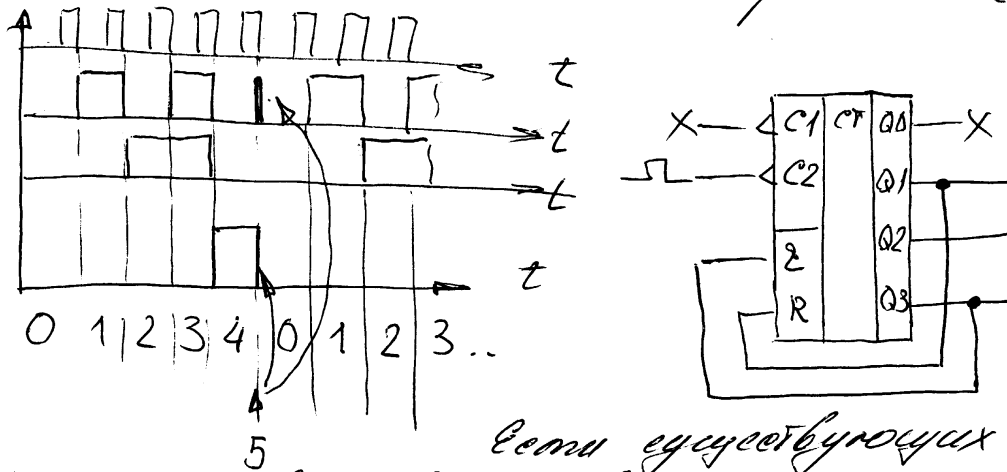
Счётные триггеры можно соединять последовательно, ограничив счётчики по основанию 2 или двойные счётчики и т.д.

Цифровым счётчиком импульсов называется устройство, фиксирующее счёт числа входных импульсов и фиксирующее это число в каком-либо коде. (Узнае лог. вали код 8421).

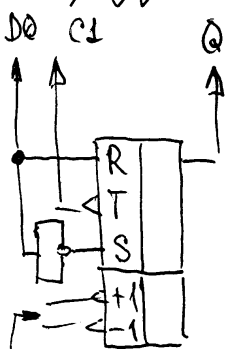


Кодовый счётчик $K = 2^n (n = 1, 2, 3, \dots)$

Используя асинхронные входы установки шотки⁵ осуществить синтез счётчика с координатным $K \neq 2^n$ а например 5, 10 и т.д. с помощью схем логики минимума и максимумов состояний отсекаемых. Подобрать операции возможно если $K < 2^n$; Осе-
жение $(2^n - K)$ ~~состояний~~ устойчивых состояний осуществляется введением обратных связей;



Если существующих асин-
хронных входов не хватает можно осу-
ществить отсеживание лишних состояний используя
внешнюю логику комбинации, что позволяет
строить счётчики даже с произвольным K -том
счёта. (Эти счётчики асинхронные а есть сд-ки
с эквивалентным переключением)
Уложив схему счётчика дополнительными
лог. эл-тами, можно составить счётчик с
предустановкой.



предустановка позволяет начать отсчет
с фиксированного числа, которое
задается внешней схемой по
входам $D0 \dots Dn$. Таким образом
счётчик до 5 можно реализовать
и машина считать с 3х до 7
иногда такой приём бывает поже-
лом при построении сложных де-
лителей в видеоконтроллерах

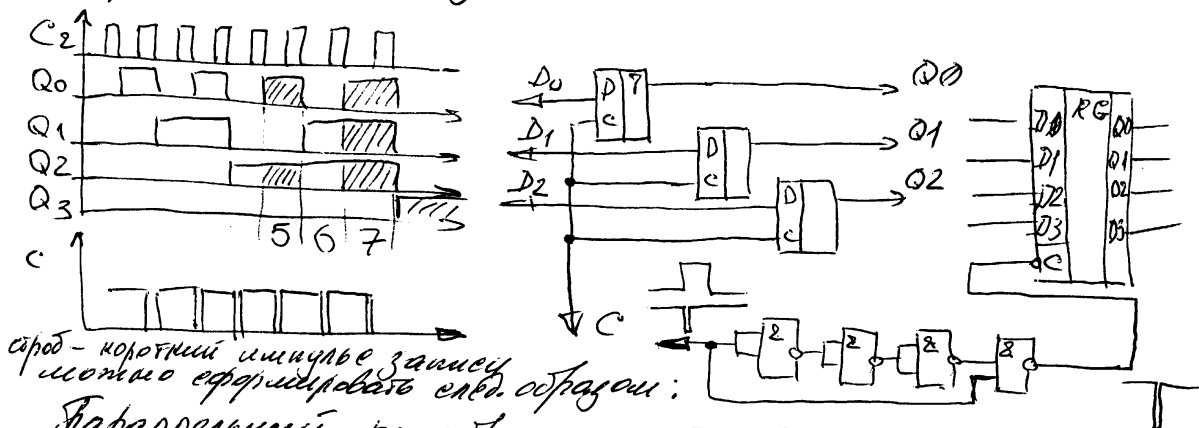
Управление предустановкой осуществляется по
отдельному входу PE - (parallel enable) парал-
лельная загрузка. Возможно и другие обозначен.
(Применяя сложную внутреннюю логику можно
построить и счётчики работающие на вычитание.

(сказано ± 1 бит. Регистры, (последовательная логика) ¹

xx Регистры (журнал записей, англ.) называют устр-во предзнаменное для записи и хранения кодовых комбинаций двоичных чисел.

Информация в двоичном коде может иметь параллельное и последовательное представление.

Параллельное - известно ранее.

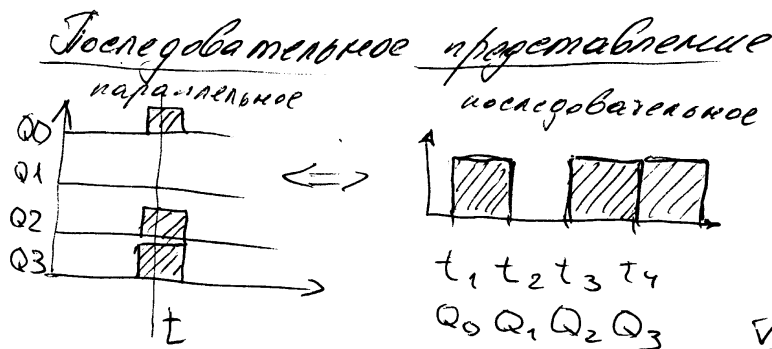


срб - короткий импульс записи
используют для формирования след. образцов:

Параллельный регистр - набор D-триггеров с общими входами C, образующими общий вход параллельного разрешения записи.

Параллельные р.л. используют в схемах оперативной памяти.

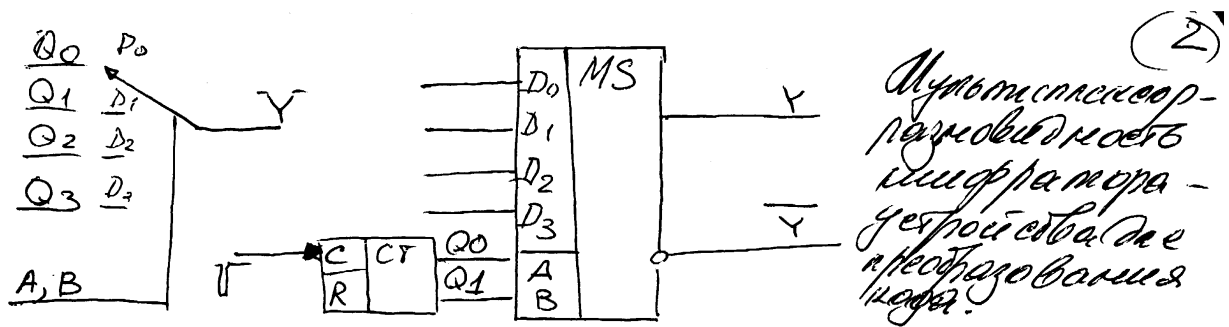
Характеризуются параметром разрядность - число триггеров в регистре или так число бит, которое рег. может хранить одновременно.



Информация осуществляется устройством, называемым мультиплексор

логическое цифровое устройство, осуществляющее последовательное соединение многих устройств и передающее их на один выход

Мультиплексор - устройство комбинированной логики.

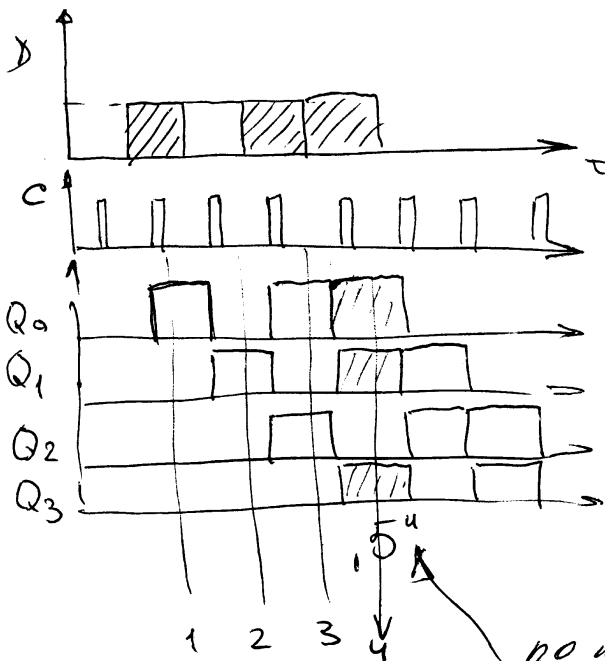
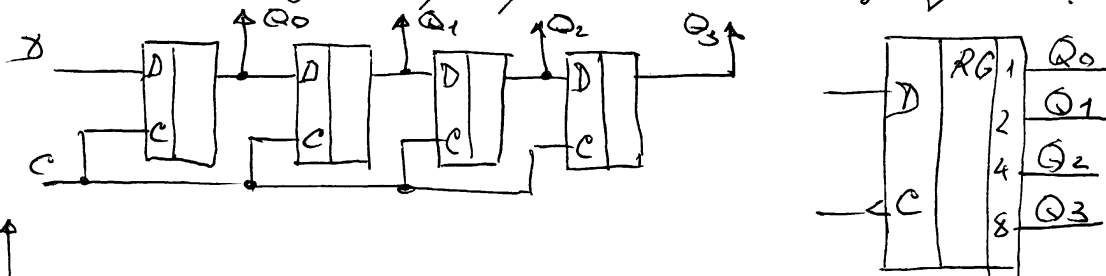


A, B - двоичные входы, комбинация на которых определяет управляющий вход согласно коду 8421. Направление можно применить простейший счетчик.

A	B	Y
0	0	D0
0	1	D1
1	0	D2
1	1	D3

Обработка последовательной информации осуществляется последовательными регистрами, они же регистры сдвига или сдвиговые р.с.

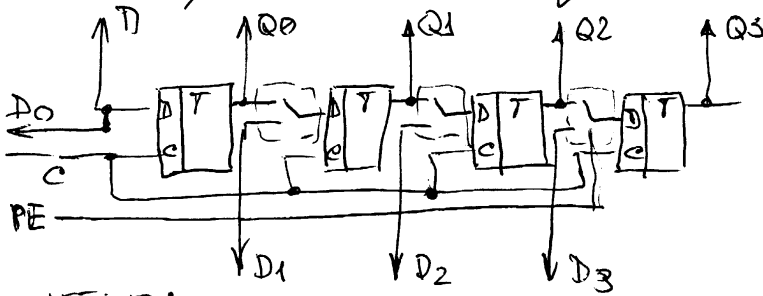
Построение ~~цепи~~ последовательного регистра состоит из D-триггеров, вход каждого последующего в цепочке которых подсоединяем к выходу предыдущего, а входы отборивания совмещаем.



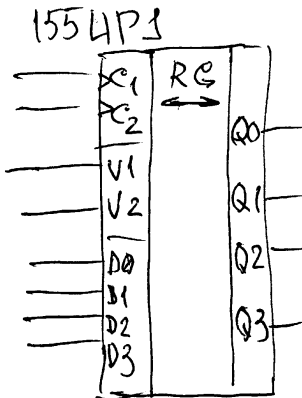
Каждый последующий триггер с приходом тактового импульса переключается в то состояние в котором на вход предыдущего триггера информация как-то "пробивается" пробивается "танцовщицей" импульсами через триггер.

Существуют универсальные регистры параллельного последовательного типа

(3)

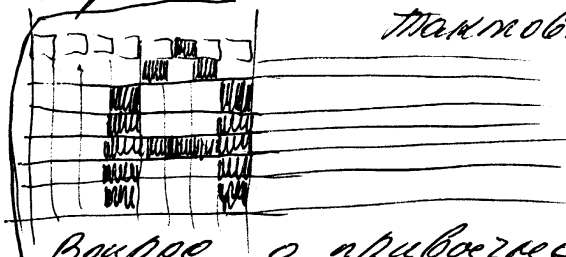


Позволяет осуществлять как параллельную, так и последовательную запись и считывание



- 4х разрядный сдвиговый регистр универсального типа. Регистры такого типа применяются в видеомониторах.

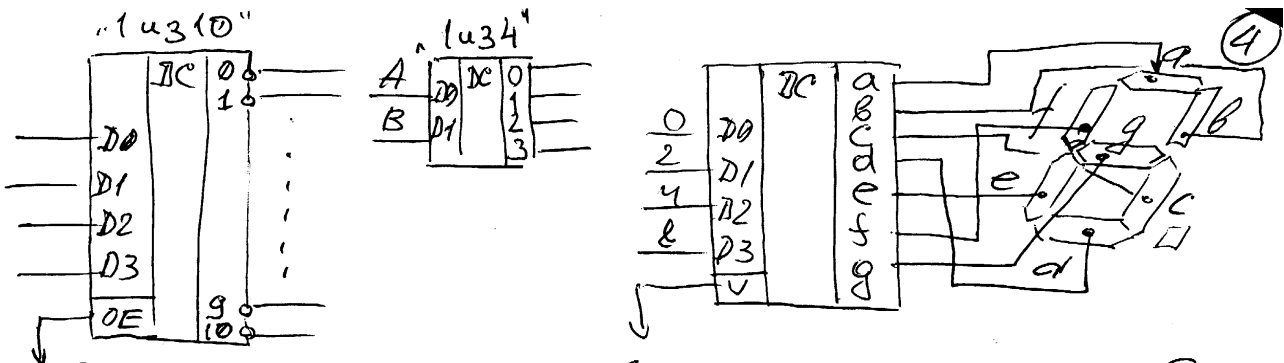
Информация из памяти ЭВМ берется байтами (по 8 бит) в параллельной форме, загружается в 2-4х разрядных регистра/сдвигах (8-разрядный), а синхронно с тактовым импульсом выдается на видеоканал TV во время кривоного хода луча, образуя на экране изображение из светлых и темных точек, которые вращаются по кругу как изображение.



Тактовая частота выдана в зависимости от качества сигнала составляет 8-10 и более МГц

Вопрос о привлекательности интерпретации информации представленной в коде решается с помощью дешифраторов (интерпретаторов).

xx Дешифратором (рекодером) называется устройство, предназначенное для распознавания разбитых кодовых комбинаций. Расположен дешифратор типа код-одинаков ("1 из 10"). Дешифраторы обычно используют на выходе сигнала пологового нуля в качестве активного уровня, что позволяет подключить нагрузку к "0" линии питания. Выходы дешифраторов организованы всего на каскадах с открытым коллектором, обладающих логической нагрузочной способ.



Дешифратор может управлять газоразрядными индикатором (позиционной) либо семисегментной светодиодной или люминесцентной матрицей.

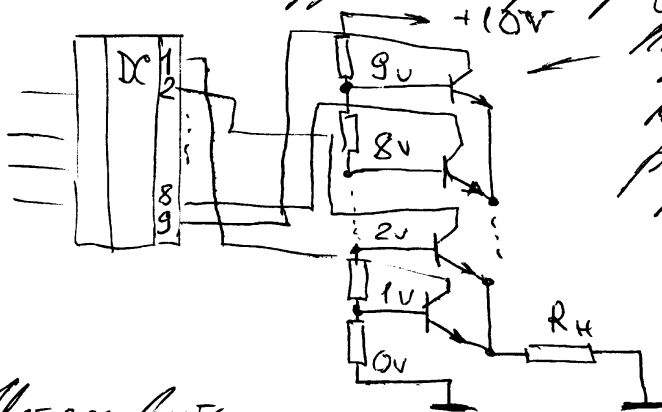
Как осуществляется синтез дешифраторов:

- записывается таблица состояний
- на её основе создается логическая функция
- она обычно избыточна, её минимизируют
- реализуют на удобной элементной базе.

Подключив дешифратор непосредственно к счётчику или к произвольному регистру получим непосредственную интерпретацию двоичных чисел в удобном нам виде.

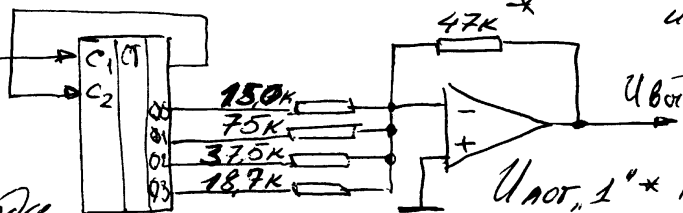
Дешифратор так-же является устройством комбинаторной логики.

С помощью дешифратора удобно осуществить аналого-цифровое преобразование (обратное)



Подобное простое и компактное решение, но возможно другое решение, основанное на суммирующих элементах ОУ.

Установить на выходе напряжение \sim код входному коду.

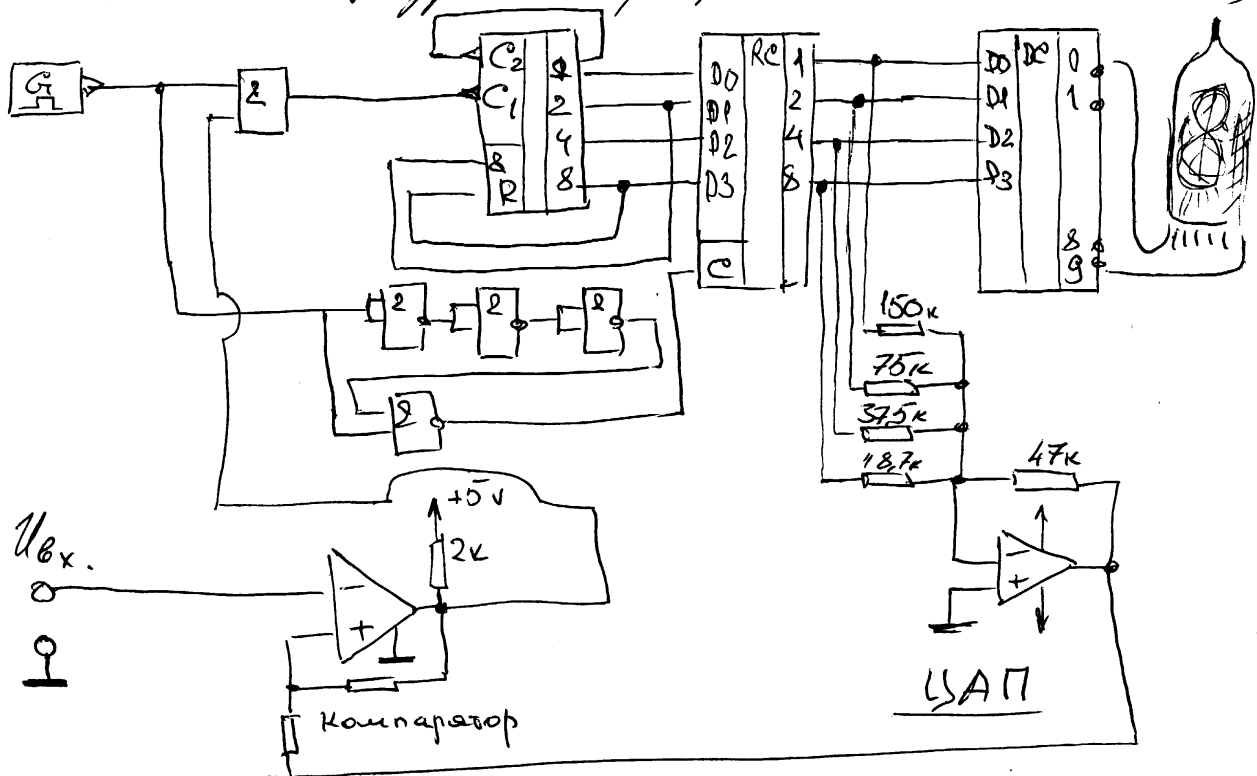


Существуют и более сложные и компактные схемы ЦАП но идея та-же.

$$U_{\text{пот}} \cdot 1 \cdot K_{\gamma} = U_{\text{вых}}$$

Комбинация $U_{\text{вых}}$

Аналого-цифровой преобразователь.



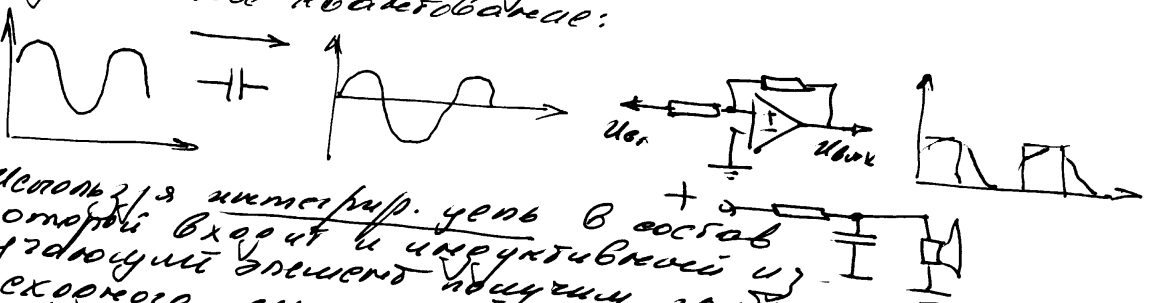
Это один из методов и он может быть много-
 для вольт, вольт, резистор, резистор и т.д.
 Это не единственный принцип АЦП, но простой
 более распространенный считается (а точнее)
 АЦП двойного интегрирования, когда $U_{вх.}$
 заряжает эталонный конденсатор, который
 позже разряжается эталонным током и
 подсчитывается число импульсов за время
 разряда, которое пропорционально входному
 напряжению. Схемные решения аналогичны
 рассмотренным.

Лекция №2

Построение и классификация АЦП и ЦАП

Рассмотренная на пред. лекции схема АЦП, несмотря на то, что является оптимальным решением, представляет собой весьма сложный процесс и в связи с этим в своем АЦП. Она имеет название АЦП параллельного или последовательного преобразования. Все разряды можно одновременно и существуют и другие варианты схем оцифровки или кодирования аналогового сигнала. Рассмотрим в порядке убывания:

1) одноканальное квантование:

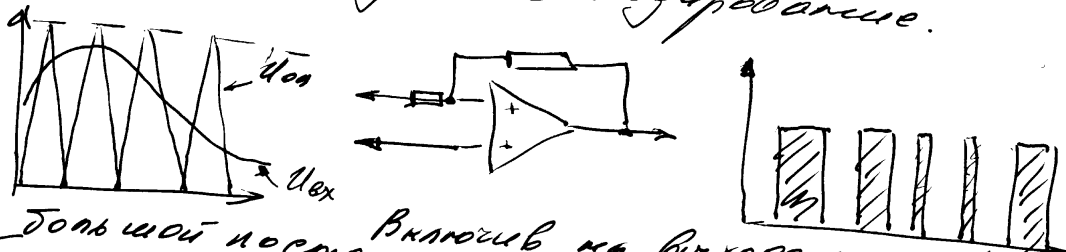


Используя интегрирующую цепь в состав которой входит и индуктивный элемент, можно получить лучшее приближение к исходному сигналу, но достаточно разбросанное (информатора, от нагрузки, а также и др.).

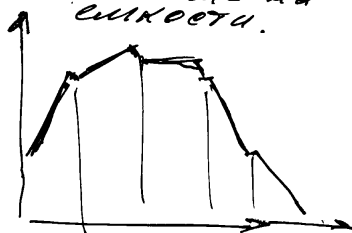
* Итогом является результат получения, если применить еще цифровую обработку.

Лучше применять при подаче импульсов на вход. В частотных характеристиках, где информация амплитудная.

2) + Широко-импульсное кодирование.



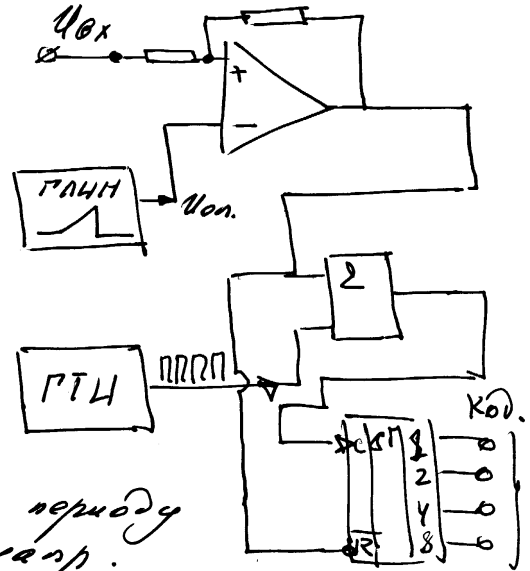
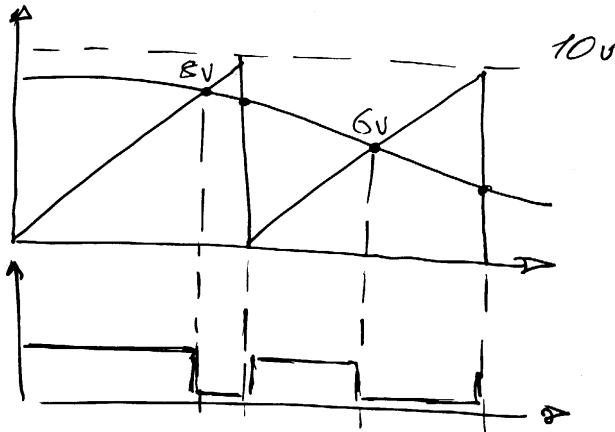
Включив на выходе интегр. цепи с большой постоянной времени получим при накоплении на емкости.



Метод достаточно хорош при передаче м.ч. сигналов. Интересен тем, что используется при построении мощных усилителей высокого напряжения по статическим (т.н. или. режим) и не критичных к нагрузке источникам питания.

Возможен непосредственный выход из сигнала.

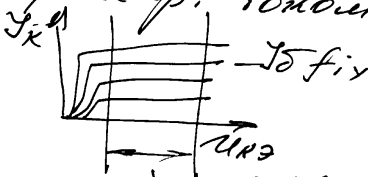
3) Интегрирующий АЦП интересная модификация преобразующей идеи:



Проходит усреднение по периоду и получается линейно изм. напр.

* Примечание:

Зуа заряд конденсатора от источника тока. Это может быть в качестве транзистор. с фиксир. током базой. ($U_{бэ} = \text{fix}$). Т.к. ток



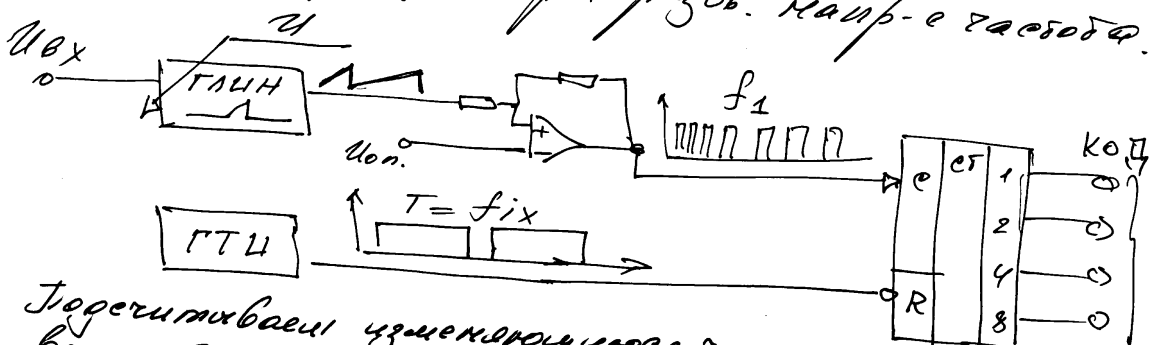
постоянен то заряд идёт линейно, а не по закону e . Если шкала (медленно)

$U_{бэ} \rightarrow$ дурш шкала $\rightarrow I_k$ будет

тогда базой $\rightarrow I_k$ будет

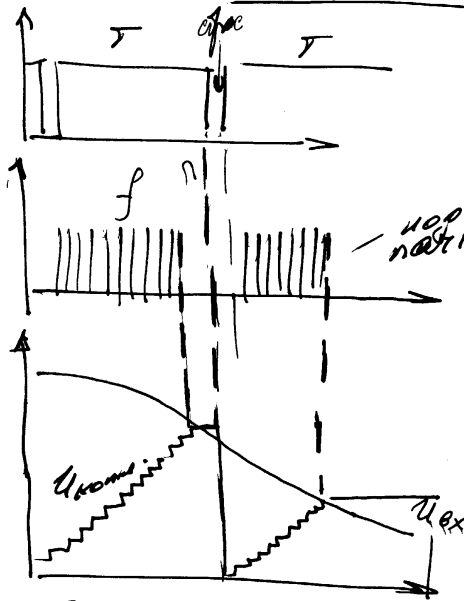
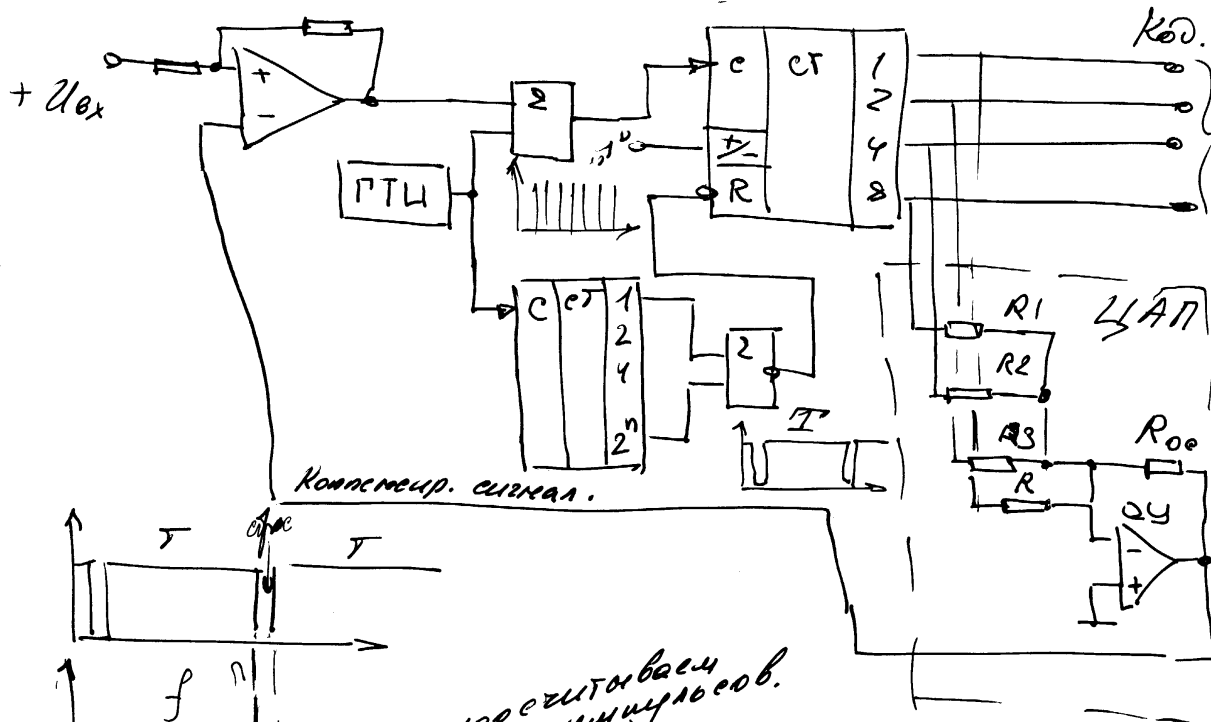
изменяться период ПЧН.

4) На этом принципе основаны АЦП использующие преобразов. напр-е частота.



Порегитивации изменяющуюся частоту за фиксированный интервал времени. Она пропорциональна $U_{вх}$ если хорошо выбрать T по возможности большой влезет. ГТЦ должен быть достаточно быстродействующим чтобы было это порегитивация. Недостаток обоих методов \rightarrow большое время съёма для достижения нек-х. мощности.

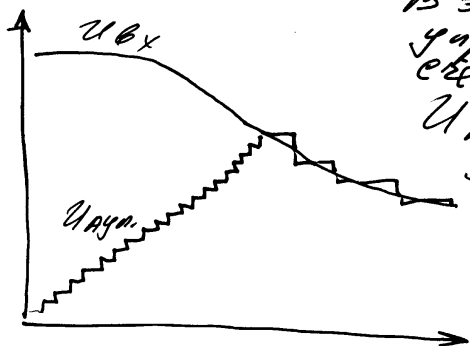
5.) идея подсчета тактовых импульсов заложена в (3) АЦП с динамической компенсацией



подсчитывается пакеты импульсов.

Входной сигнал должен быть достаточно медленным по сравнению с f .
 * Недостаток время преобразования зависит от амплитуды. Можно модифицировать метод используя счётчик не только увеличивающийся но и децимирующий (реверсивный).

6.) Следящий АЦП.



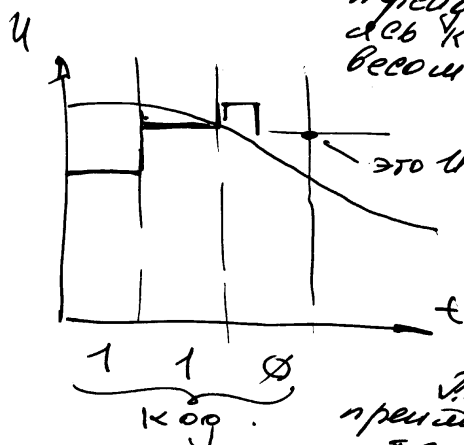
В этом случае компаратор управляет входом реверса счётчика, не обращая его в 0. ЦАП всё время приближается к значению $U_{вх}$. Тактовые импульсы идут непрерывно а счётчик работает только в такт так как на суммировании. Получается следующее: входной сигнал во времени т.к. не сбросит и счёт не сб. нулю.

В такой маркировкой НУП является объект
подготовки. Насколько характеристиками здесь
предает широко распространённой:

7) ДИП последовательного приближения или поразрядного уравновешивания.

Компенсирует недостатки предыдущих методов тем, что использует специальную поперечную схему, называемую поперечной послед. приближением. Рисунок построения аналогичен во многом ранее рассмотренным ранее этой разницей что уравнивается вхождением в них по возможности самим объектами способом, поэтому логика работы такова:

- 1) Уб. в 1 садовой егари. разред. т. е. отринимся "грубо" достичь змелка.
- 2) Если не достигли - вставляем змел. 1' и вставляем разред младше в 1' и снова идем егари егари в 1' и снова идем к младшему т. е. придем - все к сигналу уже точнее сменными весом ч. т. р.



Поиск работы т.е. ищущий
сделает шаг вперед
потому время
равнодействием.
оптимально.

преимущественно также:

2. ВУП двойного импозирования (с бухгалтерской и налоговой точки зрения, но по существу один).

Осужденной, но по совокупности чувств.

функции $= \emptyset \rightarrow$ убывает на α

